

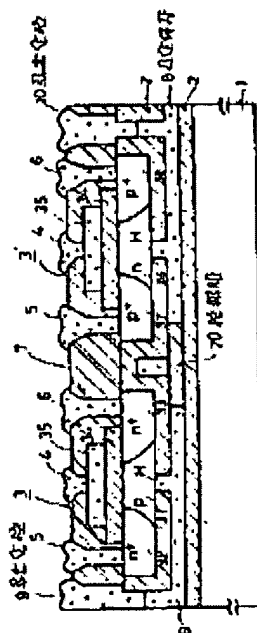
## SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

**Patent number:** JP3288471  
**Publication date:** 1991-12-18  
**Inventor:** MIURA TAKAO  
**Applicant:** FUJITSU LTD  
**Classification:**  
- **international:** H01L27/12; H01L21/3205; H01L21/336; H01L21/74;  
H01L21/76; H01L29/44; H01L29/784  
- **europaen:**  
**Application number:** JP19900091068 19900404  
**Priority number(s):**

## Abstract of JP3288471

**PURPOSE:** To stabilize element properties such as threshold, source drain breakdown strength, etc., by providing a conductor layer inside a insulating separation band or on a semiconductor substrate, and connecting a lead electrode to an element region through a conductor layer and a conductive hole.

**CONSTITUTION:** A MOS element 3' is composed of an n-type channel region 36, a p-type source region 37, a p-type drain region 38, a gate insulating film 34, and a gate conductor 35. A conductor layer 8 is separated by an insulating film 20, and also a lead electrode 9 is connected to a p-type channel region 31 through a conductor layer 8 and a through hole H, and also a lead electrode 10 is connected to an n-type channel region 36 through a conductor layer 8 and a conductive hole H. According to this construction, element properties can be stabilized by discharging the charge of a positive hole or the like to outside from the channel region. What is more, the more the lead electrodes led out of the conductor layers 8 are, the more excellent the electric conductivity is, and it serves the speed-up of the device.



Data supplied from the esp@cenet database - Worldwide

## ⑫ 公開特許公報(A)

平3-288471

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月18日

H 01 L 27/12  
21/3205  
21/336  
21/74  
21/76  
29/44  
29/784

D 7638-5F  
B 7638-5F  
7738-4M

9056-4M H 01 L 29/78 3 1 1 Z  
6810-4M 21/88 K

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 平2-91068

⑯ 出 願 平2(1990)4月4日

⑰ 発 明 者 三 浦 隆 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

半導体装置およびその製造方法

## 2. 特許請求の範囲

(1) 個々の半導体素子が側面および底面を絶縁分離帯によって分離され、該半導体素子の底面において素子領域の一部が導電孔を通して前記絶縁分離帯の内部に設けられた導電体層、または、半導体基板上に設けられた導電体層に接続されてなることを特徴とする半導体装置。

(2) 第1半導体基板に溝を形成し、該溝の内部を含む全面に第1絶縁膜を形成し、該第1絶縁膜をパターンニングして少なくとも1つ以上の孔をあける工程と、  
次いで、前記第1絶縁膜上に導電体層を被着して、前記溝および孔の内部を埋没させた後、表面上に被着した該導電体層上を研磨して平坦にする工程と、

前記導電体層の上に第2絶縁膜を介して第2半導

体基板を張り合わせ、前記第1半導体基板の反対面を研削して、側面および底面が前記絶縁膜で囲まれた半導体素子領域を形成する工程が含まれることを特徴とする半導体装置の製造方法。

(3) 請求項(1)記載の半導体装置の製造方法において、前記導電体層の上に第2絶縁膜を介せずに第2半導体基板を直接張り合わせる工程が含まれることを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔概要〕

SOI基板に形成した半導体装置およびその製造方法に関し、

しきい値やソース・ドレイン耐圧などの素子特性を安定化させることを目的とし、

その構造は、個々の半導体素子が側面および底面を絶縁分離帯によって分離され、該半導体素子の底面において素子領域の一部が導電孔を通して前記絶縁分離帯の内部に設けられた導電体層、または、半導体基板上に設けられた導電体層に接続

されていることを特徴とし、

その製造方法は、第1半導体基板に溝を形成し、該溝の内部を含む全面に第1絶縁膜を形成し、該第1絶縁膜をパターンニングして少なくとも1つ以上の孔をあける工程と、次いで、前記第1絶縁膜上に導電体層を被着して、前記溝および孔の内部を埋没させた後、表面上に被着した該導電体層上を研磨して平坦にする工程と、前記導電体層の上に第2絶縁膜を介して第2半導体基板を張り合わせ、前記第1半導体基板の反対面を研削して、側面および底面が前記第1絶縁膜で囲まれた半導体素子領域を形成する工程とが含まれていることを特徴とする。

また、その製造方法において、第2半導体基板を張り合わせる際、第2絶縁膜を介在しない工程が含まれていることを特徴とする。

#### 〔産業上の利用分野〕

本発明はSOI基板に形成した半導体装置およびその製造方法に関する。

れているために、ソース・ドレイン領域におけるpn接合の空乏層の拡がりが増大されて、それだけ寄生容量が減少して高速動作する高性能なデバイスが得られる構造である。

なお、その他、SOI基板を基礎にした半導体装置は放射線耐性の向上やラッチアップフリーの利点も得られる。

#### 〔発明が解決しようとする課題〕

しかし、他方、MOS素子は完全に絶縁分離されているために、電気的に浮いたフローティング状態になっており、デバイス動作中に走行する電子の一部が結晶格子に衝突して生じる正孔が、逃げ場がなくてチャンネル領域に蓄積されることになる。そうすると、チャンネル領域の電位が変化して、素子のしきい値( $V_{th}$ )を変動させたり、また、ソース・ドレイン耐圧を低下させる。このようなしきい値の変動やソース・ドレイン耐圧の低下など素子特性の変化は半導体デバイスの信頼性を低下させる重大な問題である。

最近、SOI (Silicon On Insulator) 構造の半導体装置が注目されており、それは高速動作に有利な半導体デバイスが作成できるからであるが、本発明はそのようなSOI基板を基礎にした半導体装置の改善に關している。

#### 〔従来の技術〕

さて、第8図はSOI基板を基礎にした従来の半導体装置の断面図を示しており、図中の記号1は半導体基板、2は絶縁分離帯、3はMOS素子(nチャネル)で、MOS素子3はp型チャネル領域31、n型ソース領域32、n型ドレイン領域33、ゲート絶縁膜34、ゲート導電体35から構成され、4はゲート電極、5はソース電極、6はドレイン電極、7はカバー絶縁膜である。

図のように、個々のMOS素子3はトレンチ(trench; 溝)形成法などを併用して側面および底面を完全に分離した絶縁分離帯に囲まれており、且つ、ソース領域およびドレイン領域と同程度の厚みの薄いシリコン領域上にMOS素子が形成さ

本発明はそのような問題点を解消させて、しきい値やソース・ドレイン耐圧などの素子特性を安定化させることを目的とした半導体装置とその製造方法を提案するものである。

#### 〔課題を解決するための手段〕

その課題は、個々の半導体素子が側面および底面を絶縁分離帯によって分離され、該半導体素子の底面において素子領域の一部が導電孔を通して前記絶縁分離帯の内部に設けられた導電体層、または、半導体基板上に設けられた導電体層に接続されている半導体装置によつて解決される。

且つ、その製造方法は、第1半導体基板に溝を形成し、該溝の内部を含む全面に第1絶縁膜を形成し、該第1絶縁膜をパターンニングして少なくとも1つ以上の孔をあける工程と、次いで、前記第1絶縁膜上に導電体層を被着して、前記溝および孔の内部を埋没させた後、表面上に被着した該導電体層上を研磨して平坦にする工程と、前記導電体層の上に第2絶縁膜を介して第2半導体基板

を張り合わせ、前記第1半導体基板の反対面を研削して、側面および底面が前記絶縁膜で囲まれた半導体素子領域を形成する工程が含まれていることを特徴とし、

また、その製造方法において、前記導電体層の上に第2絶縁膜を介在せずに第2半導体基板を直接張り合わせる工程が含まれていることを特徴とする。

#### (作用)

即ち、本発明は絶縁分離帯の内部、または、半導体基板上に導電体層を設けて、この導電体層に素子領域の一部、例えば、MOS素子におけるチャンネル領域に導電孔を通して接続させた構造にする。

そうすれば、デバイス動作中に正孔などのチャージが蓄積されず、導電体層を通じて逸散させることができるために、しきい値やソース・ドレイン耐圧などの素子特性を安定化することができる。

一記号が付けてあるが、他の記号3'はMOS素子(pチャンネル)で、MOS素子3'はn型チャンネル領域36、p型ソース領域37、p型ドレイン領域38、ゲート絶縁膜34、ゲート導電体35から構成され、また、20は絶縁膜、9、10は導出電極である。即ち、本例はCMOS素子であり、そのために導電体層8を絶縁膜20で分離して形成している構造で、導出電極9は導電体層8、導電孔Hを通してp型チャンネル領域31に接続しており、また、導出電極10は導電体層8を通じてn型チャンネル領域36に接続している。

第1図の構造と同様に、正孔などのチャージをチャンネル領域から外部に逸散して、素子特性を安定化させることができる。

なお、導電体層8から導出する導出電極は多いほど電気伝導性が良くてデバイス的高速化に役立つが、それは設計的に考慮すべき問題で、また、その導出電極に応じて導電体層8を分離すれば良い。且つ、最近、多電源形の半導体デバイスが増加しており、その場合にも複数バイアスを印加す

#### (実施例)

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかる半導体装置(I)の断面図を示しており、記号は第8図と同様に、1は半導体基板、2は絶縁分離帯、3はMOS素子(nチャンネル)、4はゲート電極、5はソース電極、6はドレイン電極、7はカバー絶縁膜、31はp型チャンネル領域、32はn型ソース領域、33はn型ドレイン領域、34はゲート絶縁膜、35はゲート導電体であるが、絶縁分離帯2の中に導電体層8が埋没されている。この導電体層8は、例えば多結晶シリコン膜から形成されて、p型チャンネル領域31に導電孔Hを通して接続し、且つ、導出電極9によって外部に導出されている。

従って、デバイス動作中に正孔をチャンネル領域32から外部に逃がすことができ、素子特性を安定化することができる。

第2図は本発明にかかる半導体装置(II)の断面図を示しており、記号は第1図と同一部位に同

るために導電体層8を分離して、それに応じた導出電極を作成する構造を採ることが好ましい。

第3図は本発明にかかる半導体装置(III)の断面図を示しており、記号は第1図と同一部位に同一記号を付けているが、その他の2'は絶縁分離帯で、上記第1図に示した構造は絶縁分離帯2の中に導電体層8を埋没させているが、本構造の絶縁分離帯2'は導電体層8が絶縁分離帯外にあって半導体基板に接続しており、従って、表面に導出電極を設ける必要がなく、半導体基板1より直接外部に導出できる構造になる。

上記構造と同様に、正孔をp型チャンネル領域31から外部に逃がすことができ、素子特性を安定化させることができる。

第4図は本発明にかかる半導体装置(IV)の断面図を示しており、記号は第2図と同一部位に同一記号を付けている。本例も第2図と同様にCMOS素子であるが、導電体層8が絶縁分離帯2'外にあって半導体基板に接続している構造で、従って、表面に導出電極を設ける必要がなく、半導

体基板1より直接外部に導出できて、上記第2図に示す構造より簡易に形成することができる。

次の第5図は本発明にかかる半導体装置(V)の断面図を示しており、上記第4図に示すCMOS素子構造において、nチャネルMOS素子3ではp型チャネル領域31に生成される正孔が逃げ場がなくチャネル領域に蓄積されるが、pチャネルMOS素子3'の場合にはn型チャネル領域に生成される電子が易動度(モビリティ)が大きくて容易に絶縁膜から逸散するために、わざわざpチャネルMOS素子3'では導電体層8に接続することなく、導電体層8の代わりに絶縁膜20'によって完全に分離したものである。他の記号は第4図と同一部位に同一記号が付けてあり、同じく正孔をチャネル領域31から外部に逃がすことができ、素子特性が安定化されることは勿論である。

次に、第6図(a)~(d)は本発明にかかる形成方法の工程順断面図を示しており、本例は第2図に示す半導体装置の形成例である。

第6図(a)参照；まず、第1半導体基板11の表面

層)の隙間のみに残存させる。なお、このパターンニング工程は1箇所だけに導出電極を形成する半導体デバイスの場合には不要であるが、多電源形のデバイスのような複数バイアスを印加するためには多結晶シリコン膜8を分離するためのパターンニングが必要で、また、設計上から許されるならば、導出電極の多い方が高速動作に有利なために、本工程を適用するのが望ましい。

第6図(e)参照；次いで、SiO<sub>2</sub>膜22(第2絶縁膜)を熱酸化して生成した第2半導体基板12を、SiO<sub>2</sub>膜22と多結晶シリコン膜8、SiO<sub>2</sub>膜20とが接着するように張り合わせる。

第6図(f)参照；次いで、第1半導体基板11を上面から研削して素子領域(厚み約1000Å前後)を形成する。この研削にはSiO<sub>2</sub>膜21表出が終点になる選択研削法を用いる。なお、本図からは前第6図(e)を逆にした断面図を示している。

第6図(g)参照；次いで、素子領域11にMOS素子3、3'を作成して完成するが、その際、ゲート電極4、ソース電極5、ドレイン電極6などと

にフォトリソセスを用いてマスク(図示せず)を形成し、選択的にエッチングして溝40を形成する。溝の幅は0.5~1μm程度で、エッチングは塩素系ガスを用いたドライエッチング、または、アルカリ溶液を用いたウェットエッチングをおこなう。

第6図(h)参照；次いで、溝40の内部を含む全面を熱酸化してSiO<sub>2</sub>膜21(膜厚1000Å；第1絶縁膜)を生成し、このSiO<sub>2</sub>膜21をフォトリソセスを用いてパターンニングする。このパターンニングは素子領域に導電体層を接続するための孔Hを形成するのが目的である。

第6図(i)参照；次いで、化学気相成長(CVD)法によってSiO<sub>2</sub>膜21上に多結晶シリコン膜8(膜厚3000Å以上；導電体層)を被着して、溝40および孔Hの内部を埋没させた後、その表面を研磨して平坦にする。

第6図(j)参照；次いで、多結晶シリコン膜8を分離するためのパターンニングをおこなった後、SiO<sub>2</sub>膜20(膜厚2000Å程度；絶縁膜)を被着し、それを研磨除去して多結晶シリコン膜8(導電体

同時に導出電極9、10を形成する。

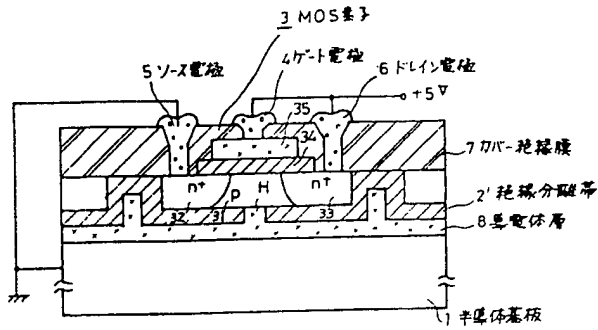
次に、第7図(a)~(c)は本発明にかかる他の形成方法の工程順断面図を示しており、上記第6図に説明した形成方法は第2図に示す半導体装置、即ち、絶縁分離層の内部に導電体層8を設けた実施例の形成方法であったが、本例は第4図に示す半導体装置、即ち、半導体基板上に導電体層を設けて半導体基板に接続している構造の形成方法の例である。

本形成方法では第6図に説明した形成方法のうち、第6図(a)~(d)に説明した工程は本方法も同じであり、従って、第6図(e)~(j)に対応した第7図(a)~(c)の工程を以下に説明する。

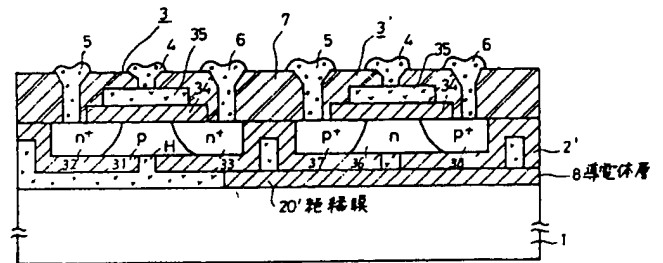
第7図(a)参照；前記した第6図(d)の工程を終えた第1半導体基板11に対して、その表面に露出した生のままの第2半導体基板12をその面と多結晶シリコン膜8、SiO<sub>2</sub>膜20とが接着するように張り合わせる。

第7図(b)参照；次いで、第1半導体基板11を上面から研削して素子領域11(厚み約1000Å程度)

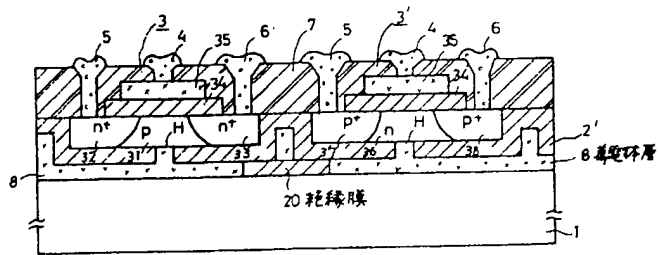




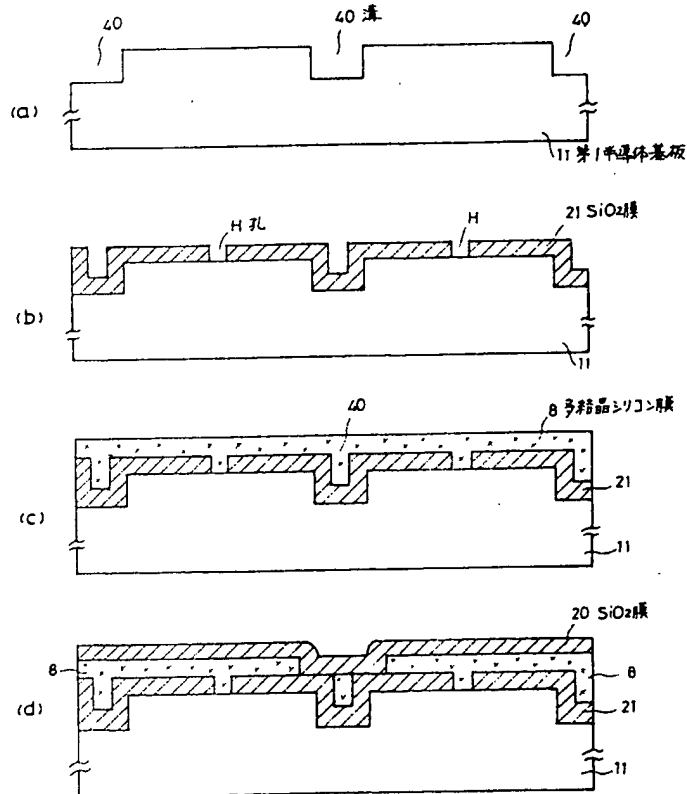
本発明にかかる半導体装置(Ⅲ)の断面図  
第 3 図



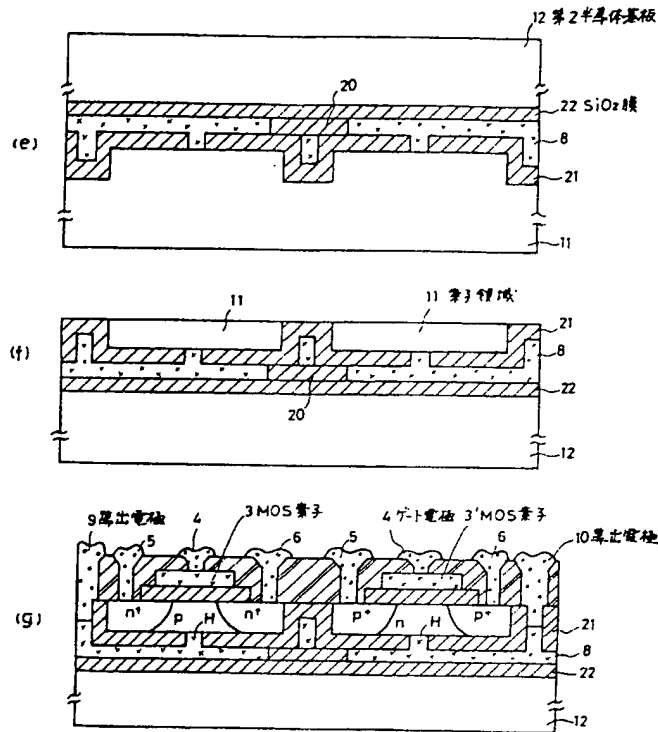
本発明にかかる半導体装置(V)の断面図  
第 5 図



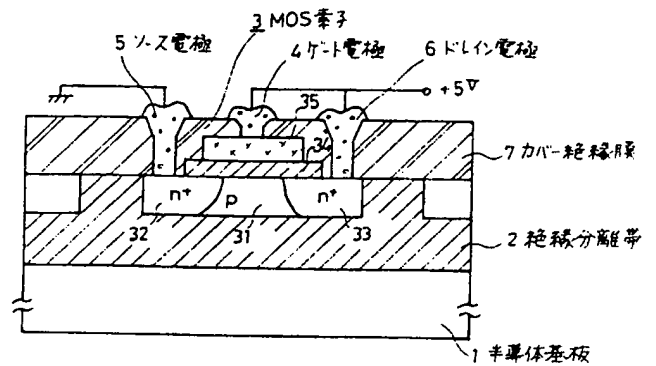
本発明にかかる半導体装置(Ⅳ)の断面図  
第 4 図



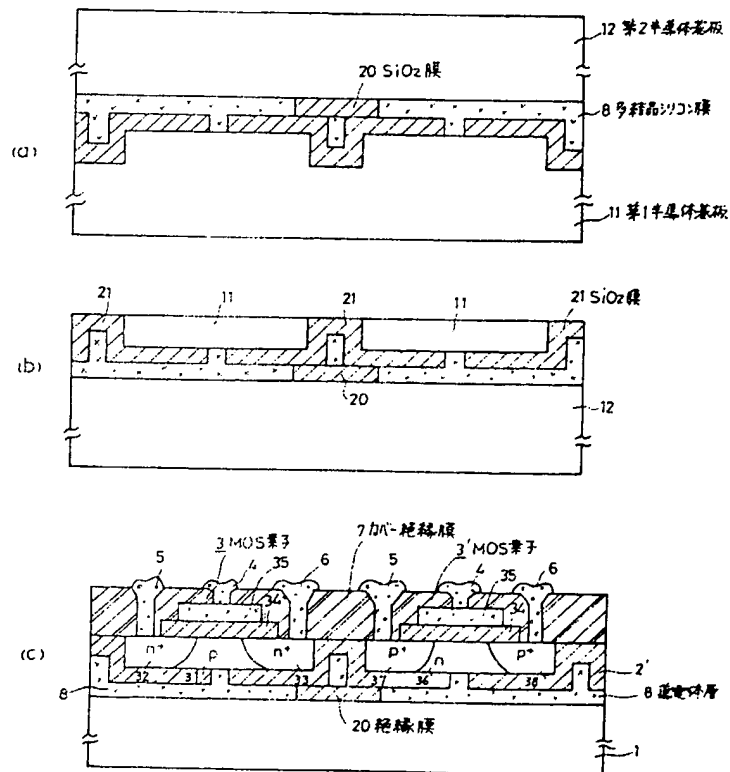
本発明にかかる形成方法の工程別断面図  
第 6 図 (その 1)



本発明にかかる形成方法の工程横断面図  
第 6 図 (その 2)



従来の半導体装置の断面図  
第 8 図



本発明にかかる他の形成方法の工程横断面図  
第 7 図